Electronique Numérique et Logique Durée 3 heures

Examen écrit, 14 mai 1996

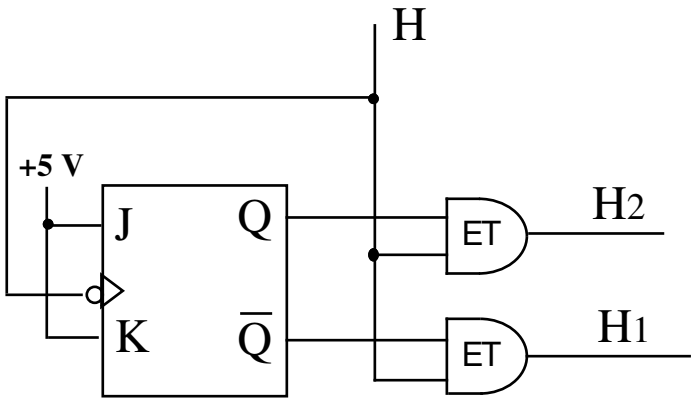
Indications : Les différentes questions sont indépendantes les unes des autres. Avec ce sujet vous es donné de la documentation technique (74LS85, 74LS112) que vous utiliserez lorsque vous l'estimerez nécessaire, en indiquant précisément d'où vous tirez tel ou tel renseignement.
Notations : Tout au long de ce sujet la notation "NOT A" (= "A barre") sera indifféremment notée /A (dans le texte) ou A surmonté d'une barre horizontale (dans les figures). Le "ET" logique, lorsqu'il n'es pas indiqué en toutes lettres, sera noté "**.**" (multiplié) ; de même, le "OU" logique, lorsqu'il n'est pas indiqué en toutes lettres, sera noté "+" (plus).
Attention : certaines figures sont à compléter (voir feuille supplémentaire à la fin du sujet) et à rendre avec votre copie.

I- Questions de cours

• Rappeler la structure des étages d'entrée et de sortie d'une porte TTL. En déduire pourquoi on ne peut pas brancher un nombre infini de portes en sortie d'une première porte (notion de sortance).
• Pourquoi une entrée en l'air est-elle équivalente à une entrée branchée au niveau haut ?
• Quelle est la différence de technologie entre les circuits logiques TTL et CMOS ? Quelle famille de circuit faut-il utiliser lorsque les contraintes de consommation électrique sont dominantes ?

II- Horloge filtrée

On utilise le montage décrit dans la figure ci-dessous, où la bascule JK (74LS112) est commandée par l'horloge H.



L'horloge H suit le chronogramme indiqué sur la figure 1 (voir dernière feuille jointe au sujet). On supposera qu'au départ la sortie Q=0, et on complètera le chronogramme pour Q, H1 et H2.

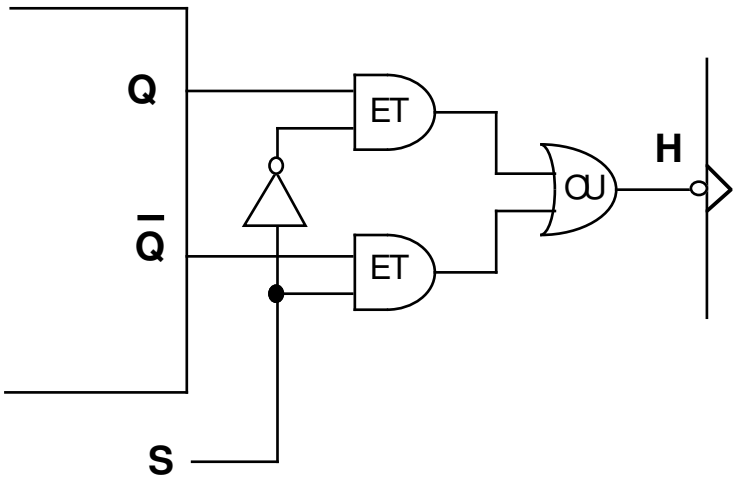
III- Compteur

On souhaite concevoir un compteur *Asynchrone* qui compte jusqu'à 6 puis revient à zéro (le compteur décrit 7 états).

• Combien de bascules sont-elles nécessaires ?

On notera les sorties des bascules Q_i (i = 1, 2 ...) et on utilisera des bascules 74LS112.

• Donner le schéma complet du circuit du compteur demandé en indiquant *et en justifiant* les branchements des entrées non utilisées.
• Faire un chronogramme indiquant plusieurs coups d'horloge et les états des sorties Q_i en supposant qu'au départ tous les Q_i sont à zéro.
• Montrer qu'en reliant les $/Q_i$ des bascules à l'entrée d'horloge suivante, le compteur *décompte*.
• Montrer que si au lieu de relier directement Qi (ou /Qi) à l'entrée d'horloge suivante on utilise le montage ci-dessous (pour toutes les bascules), la valeur de S permet de choisir entre comptage et décomptage.



• Donner l'équation de H en fonction de Q, /Q et S. Indiquez quelle valeur de S commande le comptage ? Le décomptage ?
• Quelle méthode utiliserez-vous pour remettre le compteur à zéro ? Indiquez comment cabler le circuit décodeur de la remise à zéro à partir de portes NAND à 2 entrées.

On pilote ce compteur par une horloge à 1 kHz, et on l'utilise pour fournir les adresses d'une mémoire comportant 8 bits d'adresse [A_0 ... A_7 (MSB)] et 8 bits de données [D_0 .. D_7 (MSB)].

• Quelle est la capacité de cette mémoire en octets ? En bits ?
• A quelle(s) entrée(s) d'adresse Ai faut-il connecter les sorties Qi du compteur étudié dans les questions précédentes ?

Dans les 7 premières adresses de cette mémoire sont stockés les mots (hexadécimaux) suivants : **8A,5E,30,11,0F,7C,08**. On s'intéresse au signal logique en sortie des différents bits [D_0 ... D_7] de la mémoire.

• Tracer le chronogramme des bits D_3 et D_6 au cours du temps, pour t allant de 0 à 10 ms.

IV- Comparateur logique

On considère deux variables logiques X et Y considérées comme des digits (0 ou 1).

• Montrer que la fonction "X>Y" est réalisée par la variable XSY = X**.**/Y
• Montrer que la fonction "X=Y" est réalisée par la variable XEY = X**.**Y + /X**.**/Y
• En déduire l'expression logique de "X≥Y". Montrer qu'elle peut s'exprimer uniquement en fonction de X et /Y

On considère 2 nombres de 2 bits A = A_1A_0 (A_0=LSB) et B = B_1B_0 (B_0=LSB). On souhaite concevoir une série de variables logiques qui valent 1 si A>B (ASB), si A=B (AEB) et si A<B (AIB).

• Montrer que si l'on connait la valeur de deux de ces fonctions, par exemple ASB et AEB, on en déduit la valeur de la troisième par une opération logique simple. Donner le schéma logique de AIB en fonction de ASB et AEB.

• En considérant que 2 nombres binaires sont égaux si tous leurs bits le sont, et en repartant de la fonction XEY ci-dessus, écrire l'expression logique de AEB en fonction des A_i et des B_i, i=1,0.

Montrer que l'algorithme ci-dessous permet de déterminer ASB :

A>B si (A_1>B_1)
ou (A_1=B_1) et (A_0>B_0)

• En déduire l'expression logique de ASB en fonction des A_i et B_i, i=1,0.
• Vérifier le raisonnement en utilisant une table de Karnaugh.

• En utilisant l'identité logique X=X+XY, montrer que
"A>B" = "A_1>B_1" ou ("A_1≥B_1" et "A_0>B_0").

Comparer rapidement vos résultats avec la documentation du circuit 74LS85 ci-joint : vérifiez particulièrement :

1) que les termes intermédiaires aux points-clé indiqués par une flèche correspondent à vos calculs.

2) que votre raisonnement est conforme à la table de vérité donnée par le constructeur.

V- Circuit "3 états", bus logique.

On considère le montage de la figure 2 (voir feuille supplémentaire) où deux circuits buffers sont reliés à un bus logique de 4 bits. Ces circuits recopient en sortie le signal présent à l'entrée (indiqué sur la figure). L'état "haute impédance" (Z) des circuits 1 et 2 est commandé respectivement par les entrées /OE_1 et /OE_2.

L'état du bus au cours du temps est déterminé par le chronogramme des variables /OE_1 et /OE_2, indiqué sur la figure 2, où les différents instants sont repérés par des nombres de 1 à 7.
On ne s'intéresse pas aux instants de transition LH ou HL des signaux OE (rectangles grisés sur la figure 2).

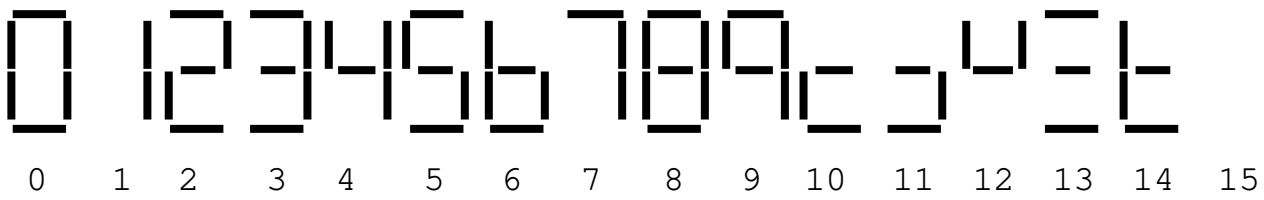
A tout instant, le nombre binaire présent sur le bus est envoyé au circuit afficheur. On ne détaille pas le décodage et on considère que l'afficheur 7-segments affiche le digit correspondant au mot binaire de 4 bits présent à son entrée, selon la convention indiquée dans la figure ci-dessous. La position du bit de poids fort est repérée par la note "MSB".

• Pour quelle valeur de /OE les buffers sont-ils en état haute impédance ? Justifiez votre réponse.
• Indiquer en fonction du temps, les nombres affichés par l'afficheur 7-segments, en se repérant aux No de repérage (1-7). On notera ces nombres affichés sur la feuille à rendre avec la copie, dans les zones entre les pointillés.

• Y a t-il des conflits de bus ? Indiquer leur position éventuelle sur le chronogramme de la figure 2, en justifiant votre réponse.

• Qu'indique l'afficheur quand aucun des circuits n'adresse le bus ? Pendant les conflits de bus ?

Convention d'affichage :



Nom :_____ **Feuille de figures**

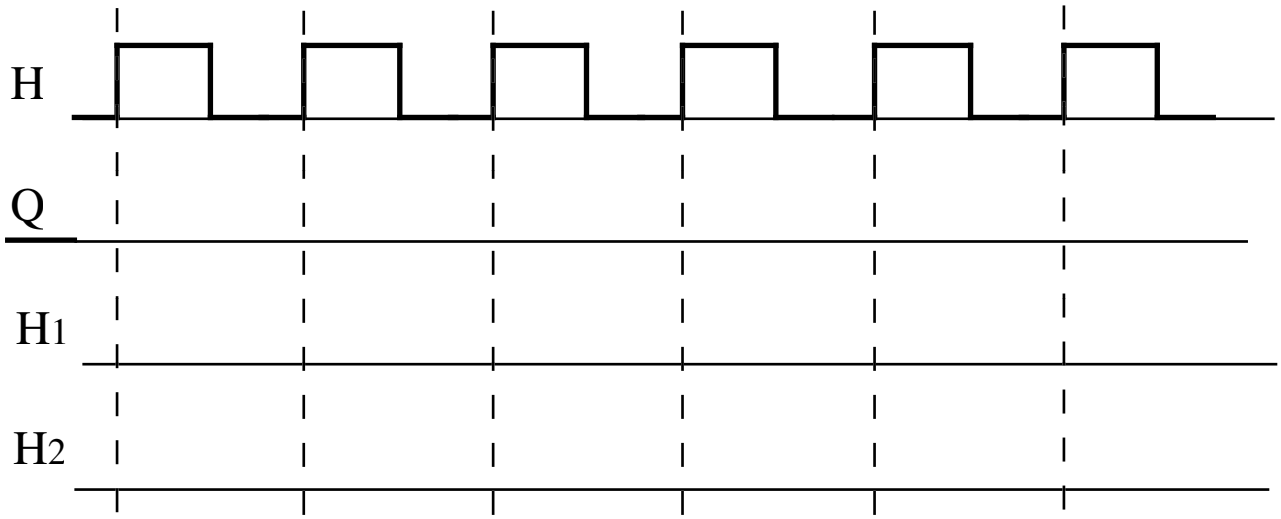


Figure 1 (exercice II : Horloge filtrée)

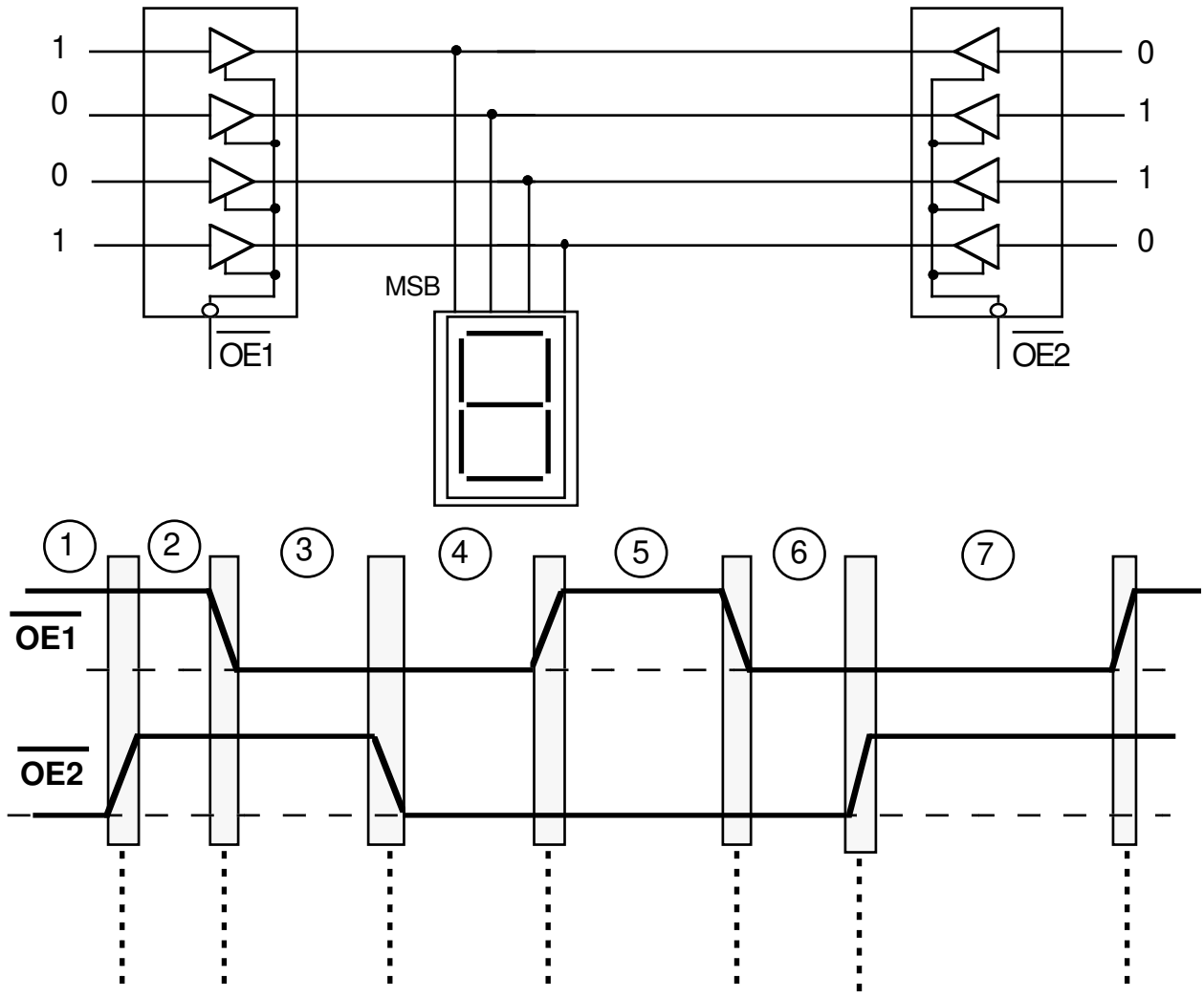


Figure 2 (exercice V : Circuits “3 états”, bus logique)