Electronique numérique et logique **LPA-EEA**
Examen session de septembre 1999 **CORRECTION**

I- 1) Etage d'entrée : multi-émetteur de transistor (diodes vues par la cathode). Etage de sortie : montage Totem-pole (transistors reliés à 5V ou à la masse). Selon qu'on est à 1 ou 0 en sortie, c'est l'un ou l'autre des transistors du totem qui débite. Le courant entrant/sortant de la porte précédente doit sortir/entrer dans la porte suivante. La loi de conservation des courants impose une limitation du nombre de portes qu'on peut brancher en sortie d'une autre.
2) Du fait de la structure en entrée (multiples diodes d'émetteur), une entrée en l'air bloque la diode correspondante et est donc équivalente à une entrée à l'état haut.
3) Une bascule D possède une entrée (D) qui détermine l'état futur, après le front d'horloge : la sortie Q recopie D au front de H. Une bascule JK possède deux entrés (J et K) permettant de déterminer l'état futur de sortie, ce qui permet 4 cas possible. En particulier, lorsque J=K=1, on est dans le mode 'toggle' (basculement) où la sortie change d'état à chaque front d'horloge. Pour qu'une bascule D fonctionne dans ce mode, il faut reboucler /Q sur l'entrée D.
4) Un compteur est réalisé à partir de bascules en série (sortie de bascule reliée à l'entrée d'horloge de la suivante). Avec des JK, les bascules sont cablées en mode toggle (J=K=1). Si on désire un compteur, et pour des bascules sur front montant, il faut relier la sortie /Q à l'entrée d'horloge suivante (sinon le compteur décompte). Avec des bascules sur front descendant, il faut relier Q à l'horloge suivante.

II- 1) les circuits PAL avec des registres comportent des bascules D pour la simplicité du cablage (une seule entrée à préparer).
2) Pour compter de 2 à 6, il faut 3 bascules Q3Q2Q1.
3) Le graphe des états doit comporter 5 états a (010), b (011), c(100), d (101), e (110).
4) on porte également les états 000, 001 et 111 en indiquant leur état futur relié à 'a' (010) pour que le système ne soit jamais bloqué.
5) Le tableau des états présents/futur est :

Etat	Q3Q2Q1	D3D2D1
a (2)	010	011
b (3)	011	100
c (4)	100	101
d (5)	101	110

e (6)	110	010
f (7)	111	010
g (0)	000	010
h (1)	001	010

On en déduit les équations des entrées D en fonction des sorties Q :
D1=/Q3Q2/Q1+Q3/Q2/Q1
D2= /Q3Q2/Q1+Q3/Q2Q1+Q3Q2/Q1+Q3Q2Q1+/Q3/Q2/Q1+/Q3/Q2Q1
D3=/Q3Q2Q1+ Q3/Q2/Q1+ Q3/Q2Q1

III-

1) à partir d'une table de vérité, on peut vérifier que XSY correspond bien à X/Y. Par exemple, XY=10 donne bien 1 ; par contreXY=00 donne 0, etc.
2) XEY est égal à /(X xor Y), qui détermine si X et Y sont différents (voir cours). On a donc bien XEY = XY+/X/Y.
3) X≥Y = XSY+XEY : X est supérieur ou égal à Y…

On a donc X≥Y=X/Y+XY+/X/Y=X/Y+XY)+/X/Y+ X/Y (en répétant X/Y), ce qui donne finalement X≥Y=X+/Y.

IV-

1) Un MOS est passant lorsque des porteurs sont présents dans le canal reliant le drain à la source. Pour un canal-n, il faut porter la grille à un potentiel positif relativement au substrat (pour attirer des électrons). Inversement pour un canal-p, il faut porter la grille à un potentiel négatif.
2) Lorsque OE=0, Gp=1 et Gn=0, on est dans le cas où les deux MOS sont bloqués. La sortie est en haute impédance, comme si le circuit était débranché.
3) Lorsque OE=1, la fonction réalisée est S=/X.
4) Ce genre de montage permet de connecter plusieurs circuits à une meme sortie et de controler logiquement si ils sont effectivement branchés. On peut ainsi faire fonctionner un bus de données transportant à tour de role les données de plusieurs circuits (mémoires, etc.).